

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-194683  
 (43)Date of publication of application : 14.07.2000

(51)Int.Cl.

G06F 15/177  
 G06F 12/00

(21)Application number : 10-374146  
 (22)Date of filing : 28.12.1998

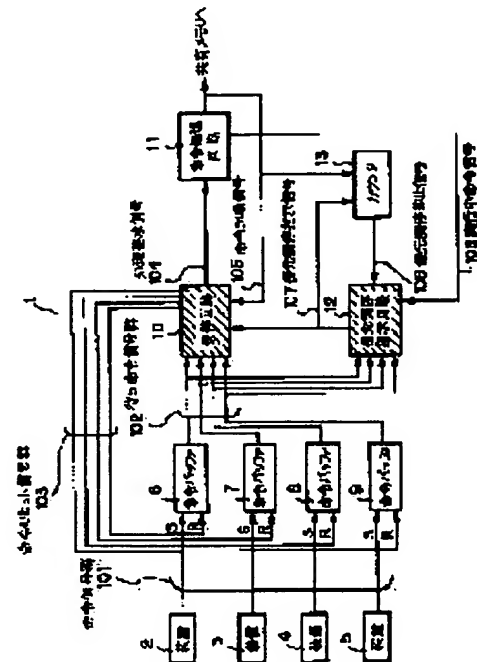
(71)Applicant : NEC KOFU LTD  
 (72)Inventor : NAITO KAZUHIKO

## (54) ARBITRATION CIRCUIT AND METHOD FOR SHARED MEMORY

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide an arbitration circuit and a method of shared memory which can improve the switching speed to a different type instruction and also can reduce the degradation of its transfer performance by processing with the highest priority an instruction having the same type as that of the instruction under execution.

**SOLUTION:** Plural devices are prepared together with instruction buffers 6-9 which are placed corresponding to the devices to store the instructions received from these devices and to report the presence or absence of wait instructions as the common signal groups, an arbitration circuit 10 which inputs the instruction signal groups received from the buffers 6-9 to perform the round robin arbitration, outputs a processing request signal to show a processing execution instruction and resets the buffers 6-9 which stores the process execution instructions and an instruction processing circuit 11 which manages the cycle time of instructions and also outputs an instruction activating instruction after the instruction indicating by the signal that is outputted from the circuit 10 is processed.



## LEGAL STATUS

[Date of request for examination] 28.12.1998  
 [Date of sending the examiner's decision of rejection] 05.06.2002  
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
 [Date of final disposal for application]  
 [Patent number]  
 [Date of registration]  
 [Number of appeal against examiner's decision of rejection]  
 [Date of requesting appeal against examiner's decision of rejection]  
 [Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-194683

(P 2 0 0 0 - 1 9 4 6 8 3 A)

(43) 公開日 平成12年7月14日 (2000. 7. 14)

| (51) Int. Cl. <sup>7</sup> | 識別記号 | F I         | テーマコード  | (参考) |
|----------------------------|------|-------------|---------|------|
| G06F 15/177                | 682  | G06F 15/177 | G 5B045 |      |
| 12/00                      | 560  | 12/00       | B 5B060 |      |
|                            | 571  |             | B       |      |

審査請求 有 請求項の数 6 O L (全 7 頁)

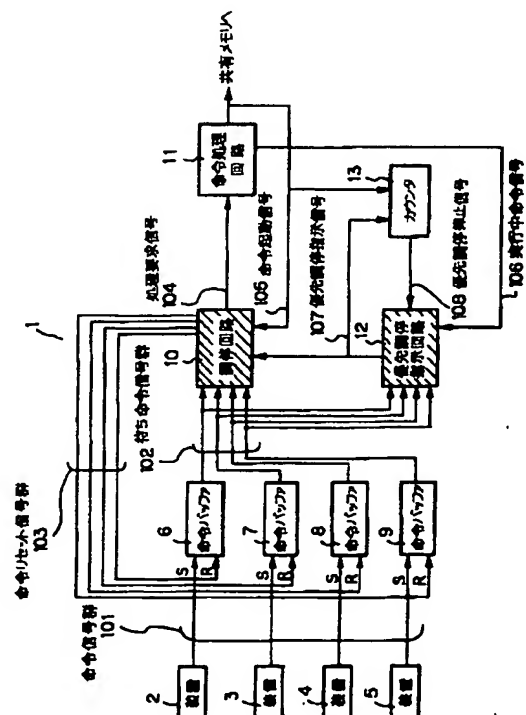
|           |                            |            |  |
|-----------|----------------------------|------------|--|
| (21) 出願番号 | 特願平10-374146               | (71) 出願人   | 000168285<br>甲府日本電気株式会社<br>山梨県甲府市大津町1088-3             |
| (22) 出願日  | 平成10年12月28日 (1998. 12. 28) | (72) 発明者   | 内藤 和彦<br>山梨県甲府市大津町1088-3 甲府日本電<br>気株式会社内               |
|           |                            | (74) 代理人   | 100100893<br>弁理士 渡辺 勝 (外 3 名)                          |
|           |                            | F ターム (参考) | 5B045 EE03 EE12 EE17<br>5B060 CB01 CD12 CD13 KA02 KA04 |

(54) 【発明の名称】 共有メモリの調停回路およびその調停方法

(57) 【要約】

【課題】 現在実行中の命令と同種命令を最優先で処理することにより、異種命令への切り替え速度を改善し、転送性能の低下を軽減する共有メモリ調停回路およびその調停方法を提供する。

【解決手段】 複数の装置と、複数のそれぞれに対応して設けられ、複数の装置より受けた命令をそれぞれ格納し、共通の信号群として待ち命令の有無を伝える複数の命令バッファと、複数の命令バッファからの命令信号群を入力しラウンドロビン調停を行って、処理を行う命令を示す処理要求信号を出力するとともに、処理を行う命令を格納する命令バッファをリセットする調停回路と、命令のサイクルタイムを管理しながら、調停回路から出力された信号に示される命令を処理した後、命令を起動する命令を出力する命令処理回路と、を具備する。



## 【特許請求の範囲】

【請求項1】 複数の装置と、該複数のそれぞれに対応して設けられ、該複数の装置より受けた命令をそれぞれ格納し、共通の信号群として待ち命令の有無を伝える複数の命令バッファと、該複数の命令バッファからの命令信号群を入力しラウンドロビン調停を行って、処理を行う命令を示す処理要求信号を出力するとともに、処理を行う命令を格納する命令バッファをリセットする調停回路と、命令のサイクルタイムを管理しながら、前記調停回路から出力された信号に示される命令を処理した後、命令を起動する命令を出力する命令処理回路と、を具備する共有メモリの調停回路において、前記調停回路に対して前記複数の命令バッファから出力された命令群の優先調停指示信号を出力する優先調停指示回路と、前記優先調停指示回路から優先調停指示信号を入力し、優先調停指示数をカウントするカウンタと、を有し、前記優先調停指示回路は前記カウンタのカウント状況に応じて優先調停指示信号の内容を変更し、前記調停回路は優先調停指示信号に基づいて処理を行う命令を決定することを特徴とする共有メモリ調停回路。

【請求項2】 請求項1に記載の共有メモリ調停回路において、前記優先調停指示回路は、前記各命令バッファから受け付けた命令群の中に、現在実行中の命令と同種の命令を見つけると、前記調停回路へ該命令を優先的に処理する優先調停指示を行う信号を出力することを特徴とする共有メモリ調停回路。

【請求項3】 請求項1に記載の共有メモリ調停回路において、前記調停回路は、前記複数の装置から受け付けた命令を調停する場合、前記優先調停指示回路からの優先調停指示信号の入力を受け、現在実行中の命令と同種の命令を優先的に処理することを特徴とする共有メモリ調停回路。

【請求項4】 請求項1または3に記載の共有メモリ調停回路において、前記調停回路は、前記各命令バッファから受け付けた命令群の調停にラウンドロビン方式を用いていることを特徴とする共有メモリ調停回路。

【請求項5】 請求項1に記載の共有メモリ調停回路において、前記カウンタは、前記優先調停指示回路から優先調停指示を入力し、優先調停指示数をカウントして、規定値に達すると、前記優先調停指示回路にある一定期間優先調停を抑止する信号を出力することを特徴とする共有メモリ調停回路。

【請求項6】 請求項1に記載の共有メモリ調停方法であって、複数の命令バッファから受け付けた命令群を調停する場合、

現在実行中の命令と同種の命令を最優先することを特徴とする共有メモリ調停方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、複数の装置から受け付けた命令を調停する場合に、現在実行中の命令と同種命令とを最優先することにより、異種命令への切り替え速度を改善し、命令の転送性能の低下を軽減する共有メモリ調停回路およびその調停方法に関する。

## 【0002】

【従来の技術】従来の技術としてラウンドロビン調停のみを用いた共有メモリ（図示せず）を取り上げて説明する。図4は、従来例の構成を示す図である。

【0003】図4に示すように、従来例は、複数の装置51～54と、各装置51～54より受け付けた命令をそれぞれ格納し、共通の待ち命令信号群202として待ち命令の有無を伝える命令バッファ55～58と、各命令バッファ55～58からの待ち命令信号群202を入力しラウンドロビン調停を行って、その結果を示す処理要求信号204を出力する調停回路59と、命令のサイクルタイムを管理しつつ処理要求信号204で示された命令を処理し、その後、命令起動信号205を調停回路59へ出力する命令処理回路60と、から構成されている。

【0004】図4において、各装置51～54から出力された命令信号群201は各命令バッファ55～58に入る。この命令信号群201の入力により各命令バッファ55～58がセットされる。各命令バッファ55～58からは、調停回路59に待ち命令信号群202が出力され、調停回路59からは各命令バッファ55～58の内容をリセットする命令リセット信号群203と命令処理回路60へ処理要求信号204が出力される。また、命令処理回路60からは命令起動信号205が調停回路59に返される。

【0005】図5は、従来例の動作を示すタイミングチャートである。

【0006】図5に示すように、上述したような従来の共有メモリ調停回路においては、命令バッファ55～58の各々ライトA1、リードB1、ライトC1、リードD1が待ち状態にあると、ラウンドロビン調停では、《実行中命令》に示す通りライトA1→リードB1→ライトC1→リードD1の順で命令が処理される。このように、ライト命令とリード命令を交互に実行し、かつ、各命令はそれぞれ7T期間で実行され、その各実行期間7Tには、命令の切替損失3T期間が含まれていたため、命令の実行に時間がかかっていた。

## 【0007】

【発明が解決しようとする課題】上述したような従来の共有メモリ調停回路においては、共有メモリの特性上ライト命令からリード命令あるいはリード命令からライト

命令へのサイクルタイムが遅い場合、1 命令ごとにサイクルタイムに損失が発生し転送性能が低下するという問題点があった。

【0 0 0 8】本発明は上述したような従来の技術が有する問題点に鑑みなされたものであって、複数の装置から受け付けた命令を調停する際に、現在実行中の命令と同種命令を最優先することにより、異種命令への切替速度を改善し、転送性能の低下を軽減する共有メモリ調停回路およびその調停方法を提供することを目的とする。

【0 0 0 9】

【課題を解決するための手段】上記の問題点を解決するために、本発明によれば、複数の装置と、複数のそれぞれに対応して設けられ、複数の装置より受けた命令をそれぞれ格納し、共通の信号群として待ち命令の有無を伝える複数の命令バッファと、複数の命令バッファからの命令信号群を入力しラウンドロビン調停を行って、処理を行う命令を示す処理要求信号を出力するとともに、処理を行う命令を格納する命令バッファをリセットする調停回路と、命令のサイクルタイムを管理しながら、調停回路から出力された信号に示される命令を処理した後、命令を起動する命令を出力する命令処理回路と、を具備する共有メモリの調停回路において、調停回路に対して複数の命令バッファから出力された命令群の優先調停指示信号を出力する優先調停指示回路と、優先調停指示回路から優先調停指示信号を入力し、優先調停指示数をカウントするカウンタと、を有し、優先調停指示回路はカウンタのカウント状況に応じて優先調停指示信号の内容を変更し、調停回路は優先調停指示信号に基づいて処理を行う命令を決定することを特徴とする。

【0 0 1 0】また、優先調停指示回路は、各命令バッファから受け付けた命令群の中に、現在実行中の命令と同種の命令を見つけると、調停回路へ命令を優先的に処理する優先調停指示を行う信号を出力することを特徴とする。

【0 0 1 1】また、調停回路は、複数の装置から受け付けた命令を調停する場合、優先調停指示回路からの優先調停指示信号の入力を受け、現在実行中の命令と同種の命令を優先的に処理することを特徴とする。

【0 0 1 2】また、調停回路は、各命令バッファから受け付けた命令群の調停にラウンドロビン方式を用いていることを特徴とする。

【0 0 1 3】また、カウンタは、優先調停指示回路から優先調停指示を入力し、優先調停指示数をカウントして、規定値に達すると、優先調停指示回路にある一定期間優先調停を抑止する信号を出力することを特徴とする。

【0 0 1 4】また、複数の命令バッファから受け付けた命令群を調停する場合、現在実行中の命令と同種の命令を最優先することを特徴とする。

【0 0 1 5】上記のような構成をとることにより、現在

実行中の命令と同じ種類の命令を優先調停する機能を付加したことにより、異種命令への切り替わり頻度を少なくしているため、異種命令に切り替わる場合のサイクルタイムが遅いという欠点を持った共有メモリに関し、この欠点を補い転送性能の低下を軽減できる。

【0 0 1 6】

【発明の実施の形態】次に、本発明の実施の形態を図面を参照して説明する。

【0 0 1 7】本発明の共有メモリ（記憶装置）（図示せず）の調停回路は、ライト命令からリード命令またはリード命令からライト命令へといった異種命令へ切り替える際に、切替損失によりシステムのサイクルタイムが遅いという欠点を持つ共有メモリに対して有効であり、複数の装置から受け付けた命令を調停する場合に現在実行中の命令と同種の命令を最優先とすることにより、切替損失を補いデータの転送性能の低下を軽減するものである。

【0 0 1 8】図 1 は、本発明の第 1 の実施例の構成を示すブロック図である。

【0 0 1 9】図 1 に示すように、本実施例は、複数の装置 2 ～ 5 と、各装置 2 ～ 5 より受け付けた命令を格納し、待ち命令信号群 1 0 2 にて待ち命令の有無を伝える命令バッファ 6 ～ 9 と、命令バッファ 6 ～ 9 からの待ち命令信号群 1 0 2 を入力しラウンドロビン調停を行い、後述する優先調停指示回路 1 2 から優先調停指示信号 1 0 7 によりライト命令を優先する指示がされた場合はライト命令を優先して選出し、リード命令を優先する指示がされた場合はリード命令を優先して選出し、この時、優先された命令が複数ある場合はさらにラウンドロビン調停で優先命令を決定し後述する命令処理回路 1 1 に処理要求信号 1 0 4 として出力して、命令処理回路 1 1 から受け取った命令起動信号 1 0 5 から選出した命令が実行に移されたことを認識すると、命令リセット信号群 1 0 3 により該当の命令バッファをリセットする調停回路 1 0 と、命令のサイクルタイムを管理しつつ処理要求信号 1 0 4 で示された命令を処理し、命令起動信号 1 0 5 と実行中命令信号 1 0 6 を出力する命令処理回路 1 1 と、実行中命令信号 1 0 6 が示す命令と同種の命令を待ち命令信号群 1 0 2 の内に見つけると調停回路 1 0 へ優先調停の指示を行い、この時に後述するカウンタ 1 3 からの優先調停抑止信号 1 0 8 がアクティブであった場合には優先調停の指示は行わない優先調停指示回路 1 2 と、命令起動信号 1 0 5 と優先調停指示信号 1 0 7 を参照し、優先調停が連続して行われる度にカウンタアップして規定値になると優先調停抑止信号 1 0 8 をアクティブにし、その後、命令が 1 個起動されるとカウンタ値を初期値に戻し、かつ優先調停抑止信号 1 0 8 をインアクティブにするカウンタ 1 3 と、から構成される。

【0 0 2 0】図 1 において、各装置 2 ～ 5 から出力された命令信号群 1 0 1 は各命令バッファ 6 ～ 9 に入る。こ

の命令信号群101の入力により各命令バッファ6~9がセットされる。また、各命令バッファ6~9からは、調停回路10と優先調停指示回路12に待ち命令信号群102が出力され、調停回路10からは各命令バッファ6~9へ命令バッファ6~9の内容をリセットする命令リセット信号群103と命令処理回路11へ処理要求信号104が出力される。また、優先調停指示回路12からは調停回路10とカウンタ13に優先調停指示信号107が出力され、カウンタ13からは優先調停抑止信号108が優先調停指示回路12に返される。命令処理回路11からは命令起動信号105が調停回路10に返され、実行中命令信号106が優先調停指示回路12に返される。

【0021】図1の第1の実施例の動作を要約すると次のようになる。各装置2~5が発行した命令は個々に対応する命令バッファ6~9に格納され処理待ち状態になる。調停回路10はこの命令の待ち状態を認識し、命令バッファ6~9からラウンドロビン調停にて1個の命令を選出する。優先調停指示回路12よりライト命令を優先する指示がされた場合はライト命令が、リード命令を優先する指示がされた場合はリード命令が優先して選出される。

【0022】優先調停指示回路12は現在実行中の命令と同種の命令を実行待ち命令の中に見つけるとその命令を優先的に処理する指示を行うが、本発明では各装置2~5が連続したデータ転送を行った場合に装置間2~5で命令の処理数に偏りが出してしまうという副作用が生じてしまうため、カウンタ13により優先調停が連続して一定回数行われると、カウンタ13から優先調停指示回路12に優先調停抑止信号108を出力して優先調停を抑止する。

【0023】このようにして選出された命令は命令処理回路11の命令サイクル管理下で実行され、また命令が実行されたことは調停回路10に伝達され、調停回路10から出力される命令リセット信号群103により命令を格納している命令バッファがリセットされる。

【0024】本実施例の動作の説明に入る前に、図1に掲載した各信号の名称と機能および入出力タイミングをここで簡単に説明しておく。

【0025】(1) 命令信号群101  
共用メモリからの読み出しあるいは書き込み要求が発生したときに各装置2~5から対応する命令バッファ6~9に出力される信号である。

【0026】(2) 待ち命令信号群102  
命令バッファ6~9から調停回路10に出力される信号で、各装置2~5から出力された命令が格納され、処理待ち状態の命令があることを通知する。

【0027】(3) 命令リセット信号群103  
調停回路10から各命令バッファ6~9に返される信号で、各命令バッファ6~9の内容をリセットして初期値

に戻す。

【0028】(4) 処理要求信号104  
調停回路10から命令処理回路11に出力される信号で、各命令バッファ6~9から受け取った各命令の処理を要求するときに出力される。

【0029】(5) 命令起動信号105  
命令処理回路11から調停回路10に返される信号で、命令処理回路11で命令が処理フェーズに入ったときに出力される。

【0030】(6) 実行中命令信号106  
命令処理回路11から優先調停指示回路12に返される信号で、命令処理回路11において、調停回路10から受け取った命令の実行中に出力される。

【0031】(7) 優先調停指示信号107  
優先調停指示回路12からカウンタ13と調停回路10に出力される信号で、優先調停を指示するときに出力される。

【0032】(8) 優先調停抑止信号108  
カウンタ13から優先調停指示回路12に返される信号で、命令の優先調停を一時的に抑止するときに出力される。

【0033】図2は、ラウンドロビン調停方法の概念を示す図である。

【0034】ラウンドロビン(round robin scheduling)とは、時分割処理システムにおいて、考案されたプロセス(命令)のスケジューリング方式のことである。命令処理要求が発生すると、そのプロセスは待ち行列(命令バッファ16)に入れられ、命令バッファ16中の各命令17a~17fは、命令バッファ16におかれた順に取り出され、ある一定時間のタイムスライス18において処理される。1タイムスライスの処理が終了すると、その命令、例えば、18aは命令バッファ16の最後尾17gにつながれ、次の処理要求が発生するのを待つ。処理が終了した命令だけでなく、新しく発生した処理要求も待ち行列の最後尾につながれる。ラウンドロビン調停は、命令の数だけ、あるいは要求する処理の数だけ繰り返される。

【0035】図3は、本発明の第1の実施例の動作を示すタイミングチャートである。

【0036】図3示すように、ラウンドロビン値が0~3までは、処理要求信号104は、命令バッファ6から取り出されたライトA1、命令バッファ8から取り出されたライトC1、命令バッファ6から取り出されたライトA2、命令バッファ8から取り出されたライトC2と、いう具合にライト命令が連続する。そして、次の0~3のラウンドロビン値で今度は命令バッファ7から取り出されたリードB1、命令バッファ9から取り出されたリードD1、命令バッファ7から取り出されたリードB2...と、いう具合にリード命令が連続する。

【0037】図3から分かるように、優先調停抑止信号

108がLowからHighに立ち上がると、ライト優先から7T期間後にリード優先に、あるいはリード優先からライト優先に切り替わる。

【0038】次に、本実施例の動作を図1および図3を参照して説明する。

【0039】まず、図3において、実行中命令信号106の実行中命令と次に実行する命令が同種（例えば、ライト命令の後にライト命令を実行する）の場合のサイクルタイムを4T期間（T=クロック周期）とする。

【0040】実行中命令と次に実行する命令が異種（例えば、ライト命令の後にリード命令を実行する）の場合のサイクルタイムを7T期間とし、このうち3T期間は異種命令への切替損失とする。

【0041】そして、装置2と装置4はライト命令を、装置3と装置5はリード命令を続けて共有メモリへ発行することとし、各装置2～5の1個目の命令が対応する命令バッファ6～9には、各々ライトA1、リードB1、ライトC1、リードD1が格納され処理待ち状態にあるとする。

【0042】1回目の調停では、優先調停指示信号107がアクティブではないのでラウンドロビン調停により選出される。ここでラウンドロビン調停とは、図中の<<ラウンドロビン値>>に昇順で近い装置を優先すると仮定し、例えば、ラウンドロビン値が1であった場合には装置3→装置4→装置5→装置2の順に優先される。この結果、1回目の調停ではライトA1が選出されて実行され、命令バッファ6がリセットされる。命令バッファが空き状態になると該当の装置は即座に次の命令を発行し4T期間後に命令バッファに格納される。

【0043】2回目の調停では、ライトA1が実行中であり処理待ち命令の中にライトC1があるので優先調停指示回路12がライト命令を優先調停するよう指示し、ライトC1が選出されて実行される。

【0044】3回目および4回目の調停では、2回目の調停と同様にライト命令が優先され、ライトA2およびライトC2が実行され、これまでの4個のライト命令は最短のサイクルタイム（4T期間）で効率よく処理される。

【0045】5回目の調停では、2～4回目の調停と異なりライト命令の優先調停指示はされず、ラウンドロビン調停で今度はリード命令のリードB1が選出され実行される。これは優先調停によりある装置の命令が長期間処理の実行を待たされるという副作用を避ける機能が働いたためであり、カウンタ13の値が一定値（図3中では3）になったことから優先調停抑止信号108がアクティブになって優先調停指示を抑止している。以降6回目、7回目、8回目の調停では再び優先調停の条件が揃いリード命令が続けて優先実行されるので、4個のリー

ド命令が最短のサイクルタイム（4T期間）で効率よく処理され、また、9回目の調停では優先調停指示が抑止されるのでラウンドロビン調停によって次の命令が選出される。

【0046】このように、4個のライト命令とリード命令が交互に優先実行される。

【0047】上述したように、本実施例によれば、現在実行中の命令と同種類の命令を優先調停する優先調停指示回路12とカウンタ13とを付加したことにより、ライト命令からリード命令、あるいはリード命令からライト命令への切り替わる際に生じる切替損失を低減させ、転送性能の低下を軽減することができる。

【0048】

【発明の効果】以上説明したように、本発明によれば、現在実行中の命令と同じ種類の命令を優先調停する優先調停指示回路とカウンタとを付加したことにより、異種命令への切り替わり頻度を少なくしているため、異種命令に切り替わる際の切替損失によるサイクルタイムの遅延を減少し、データの転送性能の低下を軽減できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の構成を示すブロック図である。

【図2】ラウンドロビン調停方法の概念を示す図である。

【図3】本発明の第1の実施例の動作を示すタイミングチャートである。

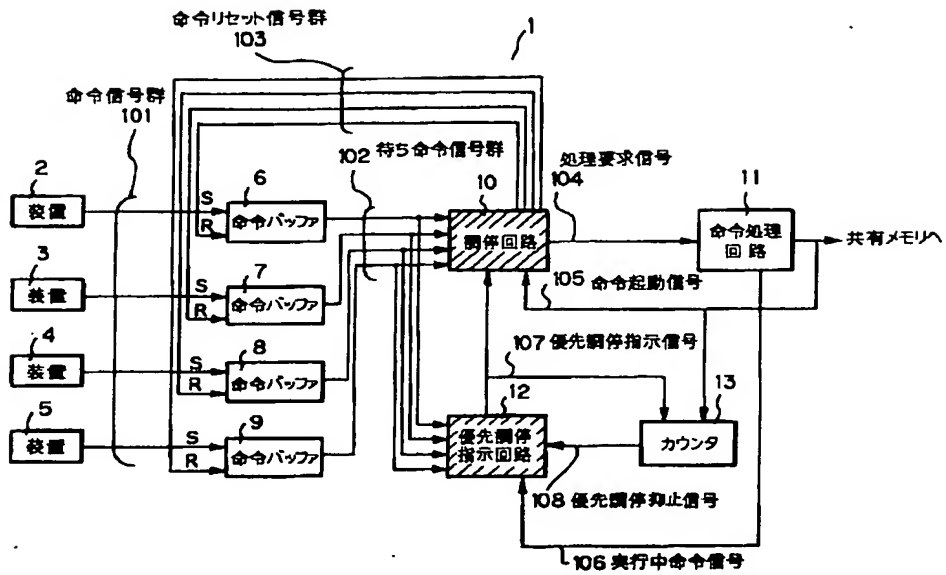
【図4】従来例の構成を示す図である。

【図5】従来例の動作を示すタイミングチャートである。

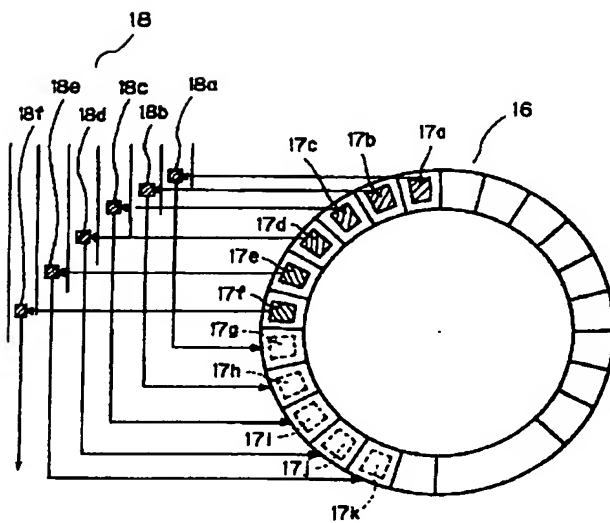
【符号の説明】

- 1, 50 共有メモリ調停回路
- 2, 3, 4, 5, 51, 52, 53, 54 装置
- 6, 7, 8, 9, 16, 16', 55, 56, 57, 58 命令バッファ10, 59 調停回路
- 11, 60 命令処理回路
- 12 優先調停指示回路
- 13 カウンタ
- 17a, 17b, 17c, 17d, 17e, 17f, 17g, 17h, 17i, 17k, 18a, 18b, 18c, 18d, 18e, 18f 命令
- 18 タイムスロット
- 101 命令信号群
- 102 待ち命令信号群
- 103 命令リセット信号群
- 104 処理要求信号
- 105 命令起動信号
- 106 実行命令信号
- 107 優先調停指示信号
- 108 優先調停抑止信号

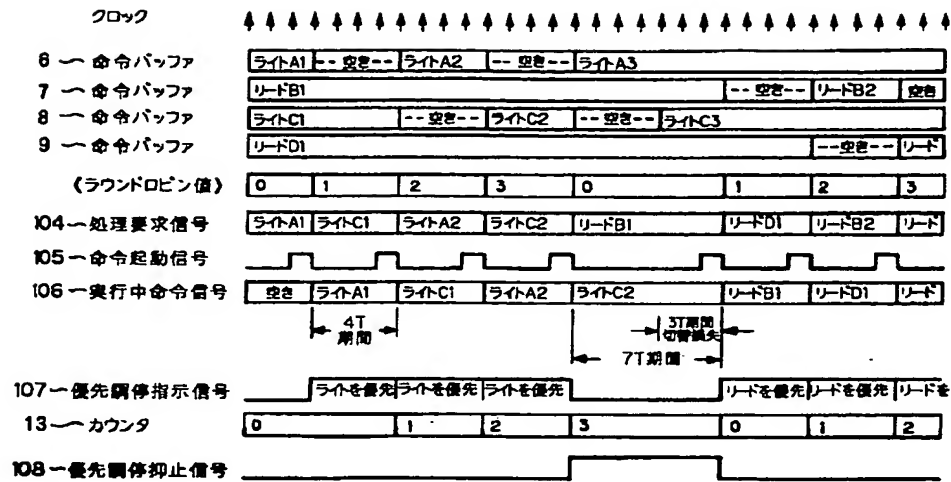
【図 1】



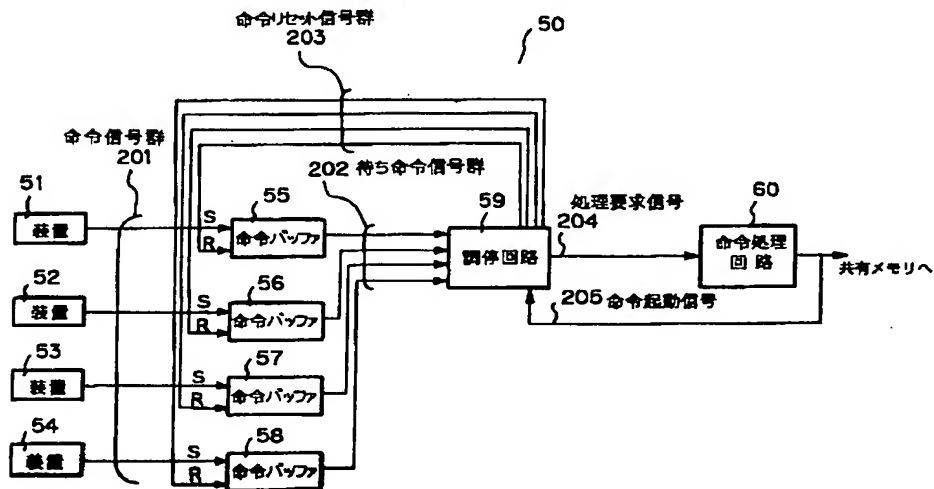
【図 2】



【図3】



【図4】



【図5】

